



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 7 日
Date of Application:

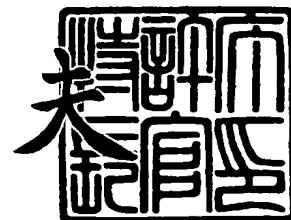
出 願 番 号 特 願 2 0 0 3 - 0 8 7 8 0 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 7 8 0 5]


出 願 人 株式会社半導体先端テクノロジーズ
Applicant(s):

2 0 0 3 年 1 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 02PR005A

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00
H01L 21/768

【発明者】

【住所又は居所】 茨城県つくば市小野川 1 6 番地 1 株式会社半導体先端
テクノロジーズ内

【氏名】 慎 ホンジェ

【特許出願人】

【識別番号】 597114926

【氏名又は名称】 株式会社半導体先端テクノロジーズ

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1



【物件名】 要約書 1

【包括委任状番号】 0214704

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 パッド部と回路部とを有する半導体装置であって、
基板上に形成された低誘電率膜と、
前記パッド部の前記低誘電率膜内に形成され、前記低誘電率膜よりも高い強度を有する絶縁膜と、
前記絶縁膜内および前記回路部の前記低誘電率膜内に形成された配線と、
を備えたことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、
前記パッド部に形成された前記配線の側壁が前記絶縁膜で囲まれていることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体装置において、
前記低誘電率膜の比誘電率が 3 以下であることを特徴とする半導体装置。

【請求項 4】 請求項 1 から 3 の何れかに記載の半導体装置において、
前記低誘電率膜が、シリコン、炭素、酸素および水素を含有する絶縁膜、又は、
水素と炭素を含有するポリマーであることを特徴とする半導体装置。

【請求項 5】 パッド部と回路部とを有する半導体装置の製造方法であって、
基板全面に低誘電率膜を形成する工程と、
前記パッド部の前記低誘電率膜内に開口を形成する工程と、
前記開口内に、前記低誘電率膜よりも高い強度を有する第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜内および前記回路部の前記低誘電率膜内に、ダマシン法を用いて配線を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の製造方法において、
前記開口を形成する工程は、
前記低誘電率膜上に第 2 の絶縁膜を形成する工程と、

前記第2の絶縁膜上にレジストパターンを形成する工程と、

前記レジストパターンをマスクとして、前記第2の絶縁膜及び前記低誘電率膜をパターンニングする工程とを含み、

前記第1の絶縁膜の表面が、前記低誘電率膜の表面よりも高く且つ前記レジストパターンの表面よりも低くなるように、前記第1の絶縁膜が形成されることを特徴とする半導体装置の製造方法。

【請求項7】 請求項5又は6に記載の製造方法において、

前記第1の絶縁膜は、液相成膜法を用いて形成されたシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項5から7の何れかに記載の製造方法において、

前記低誘電率膜は、CVD法又はSOD法を用いて形成された比誘電率が3以下の絶縁膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、低誘電率膜を用いた半導体装置及びその製造方法に係り、特にパッド部の衝撃に対する耐性の向上に関する。

【0002】

【従来の技術】

近年、半導体集積回路における配線の微細化に伴い、配線の信号遅延が問題となっている。この信号遅延の問題を解決するため、配線材料に銅を用いて配線抵抗を低減する方法や、層間絶縁膜に低誘電率膜（Low-k膜）を用いて静電容量を低減する方法が提案されている。

【0003】

図3は、従来の半導体装置を説明するための概略断面図である。

上記信号遅延の問題を解決するため、図3に示すように、パッド部Aと回路部（デバイス部）Bとを有する半導体装置において、層間絶縁膜11，21，31，41として低誘電率膜が基板1全面に適用されている。

【0004】

【発明が解決しようとする課題】

上述した基板全面に低誘電率膜が用いられた半導体装置をパッケージングする際、パッド部Aに形成された低誘電率膜11, 21, 31, 41に物理的な衝撃が加わる。

しかしながら、低誘電率膜が有する強度等の物理的特性は、シリコン酸化膜（ SiO_2 膜）が有する物理的特性の $1/10$ （10分の1）以下であるため、パッケージング時に加わる衝撃に対してマージンが少ないという問題があった。

【0005】

本発明は、上記従来の課題を解決するためになされたもので、パッケージング時に発生する衝撃に対して高い耐性を有する半導体装置及びその製造方法を提供することを目的とする。

【0006】**【課題を解決する為の手段】**

この発明に係る半導体装置は、パッド部と回路部とを有する半導体装置であって、

基板上に形成された低誘電率膜と、

前記パッド部の前記低誘電率膜内に形成され、前記低誘電率膜よりも高い強度を有する絶縁膜と、

前記絶縁膜内および前記回路部の前記低誘電率膜内に形成された配線と、

を備えたことを特徴とするものである。

【0007】

この発明に係る半導体装置において、前記パッド部に形成された前記配線の側壁が前記絶縁膜で囲まれていることが好適である。

【0008】

この発明に係る半導体装置において、前記低誘電率膜の比誘電率が3以下であることが好適である。

【0009】

この発明に係る半導体装置において、前記低誘電率膜が、シリコン、炭素、酸素および水素を含有する絶縁膜、又は、水素と炭素を含有するポリマーであるこ

とが好適である。

【0010】

この発明に係る半導体装置の製造方法は、パッド部と回路部とを有する半導体装置の製造方法であって、

基板全面に低誘電率膜を形成する工程と、

前記パッド部の前記低誘電率膜内に開口を形成する工程と、

前記開口内に、前記低誘電率膜よりも高い強度を有する第1の絶縁膜を形成する工程と、

前記第1の絶縁膜内および前記回路部の前記低誘電率膜内に、ダマシン法を用いて配線を形成する工程と、

を含むことを特徴とするものである。

【0011】

この発明に係る製造方法において、前記開口を形成する工程は、

前記低誘電率膜上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上にレジストパターンを形成する工程と、

前記レジストパターンをマスクとして、前記第2の絶縁膜及び前記低誘電率膜をパターニングする工程とを含み、

前記第1の絶縁膜の表面が、前記低誘電率膜の表面よりも高く且つ前記レジストパターンの表面よりも低くなるように、前記第1の絶縁膜が形成されることが好適である。

【0012】

この発明に係る製造方法において、前記第1の絶縁膜は、液相成膜法を用いて形成されたシリコン酸化膜であることが好適である。

【0013】

この発明に係る製造方法において、前記低誘電率膜は、CVD法又はSOD法を用いて形成された比誘電率が3以下の絶縁膜であることが好適である。

【0014】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一また

は相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【0015】

先ず、本発明の実施の形態による半導体装置について説明する。

図1は、本実施の形態による半導体装置を説明するための概略断面図である。

図1に示すように、本実施の形態の半導体装置は、パッド部Aと回路部（デバイス部）Bとを有し、複数の配線層を有している。半導体装置をパッケージングする際に、パッド部Aには強い衝撃が加わる。また、回路部Bには、各種の半導体素子が形成される。

【0016】

本実施の形態の半導体装置は複数の配線層を有しているが、各配線層は概略同じであるため、以下、第1（最下層）の配線層について説明する。

【0017】

パッド部A及び回路部Bの基板1上、すなわち基板1全面に低誘電率膜11が形成されている。低誘電率膜11は、比誘電率が3以下の無機系又は有機系の層間絶縁膜であり、例えば、シリコン、炭素、酸素および水素を含む絶縁膜や、水素と炭素を含有するポリマー（水素・カーボン・ポリマー）等である。

【0018】

パッド部Aの低誘電率膜11内には、低誘電率膜11よりも高い強度（物理的特性）を有する絶縁膜15が形成されている。絶縁膜15としては、シリコン酸化膜が好適である。なお、シリコン酸化膜以外に、BPSG、PSG又はTEOS膜を絶縁膜15として適用することができる。

【0019】

パッド部Aに形成されたシリコン酸化膜15内には、配線としてのパッド・ビア（pad via）17が形成されている。すなわち、パッド部Aにおいて、パッド・ビア17の側壁がシリコン酸化膜15により囲まれている。

回路部Bの低誘電率膜11内には、ビアとトレンチ配線とからなるデュアルダマシン構造を有する配線16が形成されている。配線16の材料としては、Cu（銅）、W（タングステン）、Al（アルミニウム）等の金属や、その合金が用

いられる。

【0020】

次に、上述した半導体装置の製造方法について説明する。

図2は、本実施の形態による半導体装置の製造方法を説明するための工程断面図である。詳細には、図2(a)はハードマスク膜を形成した後の状態を示す図であり、図2(b)はパッド部に開口を形成した後の状態を示す図であり、図2(c)は開口内にシリコン酸化膜を形成した後の状態を示す図である。また、図2(d)はレジストパターンを除去した後の状態を示す図であり、図2(e)はダマシン配線とパッド・ビアを形成した後の状態を示す図であり、図2(f)は第2の配線層を形成した後の状態を示す図である。

【0021】

先ず、図2(a)に示すように、基板1上に低誘電率膜11をCVD(Chemical Vapor Deposition)法又はSOD(Spin On Dielectric)法により形成する。そして、低誘電率膜11上に、後にハードマスクとなる第2の絶縁膜12としてのハードマスク膜を例えば10nm-150nm程度の膜厚で形成する。ここで、ハードマスク膜12は、例えば、炭素と窒素を含有するシリコン系の絶縁膜である。

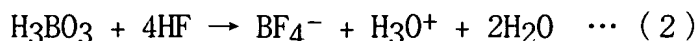
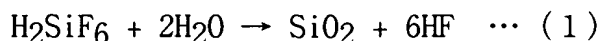
【0022】

次に、図2(b)に示すように、リソグラフィ技術を用いてハードマスク膜12上にレジストパターン13を形成する。そして、このレジストパターン13をマスクとしたドライエッチングにより、ハードマスク膜12及び低誘電率膜11を順次パターンニングする。これにより、ハードマスク12aが形成され、低誘電率膜11内に該低誘電率膜11を貫通する開口14が形成される。

【0023】

次に、図2(c)に示すように、レジストパターン13を除去せずに、開口14内にシリコン酸化膜15を液相成膜(LPD:liquid phase deposition)法を用いて形成する。図示は省略するが、開口14が形成された基板1を、処理溶液(例えば、珪フッ化水素酸溶液)で満たされた処理槽内に浸漬し、 H_3BO_3 (ホウ酸)等を添加することにより平衡状態をシフトさせて、シリコン酸化膜1

5を所望の膜厚で形成する。ここで、シリコン酸化膜15の表面が低誘電率膜11の表面よりも高く且つレジストパターン13の表面よりも低くなるように、シリコン酸化膜15が形成される。液相成膜法を用いることにより、シリコン酸化膜15の膜厚制御が容易である。シリコン酸化膜15の形成は、下記反応式(1)、(2)で表される。



【0024】

次に、図2(d)に示すように、アッシングによりレジストパターン13を除去する。このとき、低誘電率膜11はハードマスク12aで覆われているため、プラズマによるダメージを受けない。また、上記液相成膜法によりシリコン酸化膜15を形成することにより、該シリコン酸化膜15はレジストパターン13上に形成されないため、アッシング前にシリコン酸化膜15を除去する工程を別途行う必要がない。

【0025】

次に、図2(e)に示すように、デュアルダマシン法を用いて、回路部Bの低誘電率膜11内にビアとトレンチ配線からなる配線16を形成するとともに、パッド部Aのシリコン酸化膜15内にパッド・ビア17を形成する。このとき、低誘電率膜11上のハードマスク12aもCMPにより除去される。

【0026】

その後、上記図2(a)～(e)に示す工程を繰り返すことにより、図2(f)に示すような第2の配線層が形成される。さらに、同様の工程を繰り返すことにより、図1に示すような多層の配線層を有する半導体装置が形成される。

【0027】

以上説明したように、本実施の形態では、パッド部Aの低誘電率膜11内に開口14を形成し、この開口14に低誘電率膜11よりも高い強度を有するシリコン酸化膜15を形成し、このシリコン酸化膜15内にパッド・ビア17を形成した。半導体装置のパッド部Aにおいて、パッド・ビア17の側壁は低誘電率膜11ではなく、該低誘電率膜11よりも高い強度を有するシリコン酸化膜15で囲

まれている。従って、半導体装置のパッド部Aの強度が飛躍的に向上する。よって、パッケージング時に発生する衝撃に対して高い耐性を有する半導体装置及びその製造方法が得られる。

【0028】

【発明の効果】

本発明によれば、パッケージング時に発生する衝撃に対して高い耐性を有する半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態による半導体装置を説明するための概略断面図である。

【図2】 本発明の実施の形態による半導体装置の製造方法を説明するための工程断面図である。

【図3】 従来の半導体装置を説明するための概略断面図である。

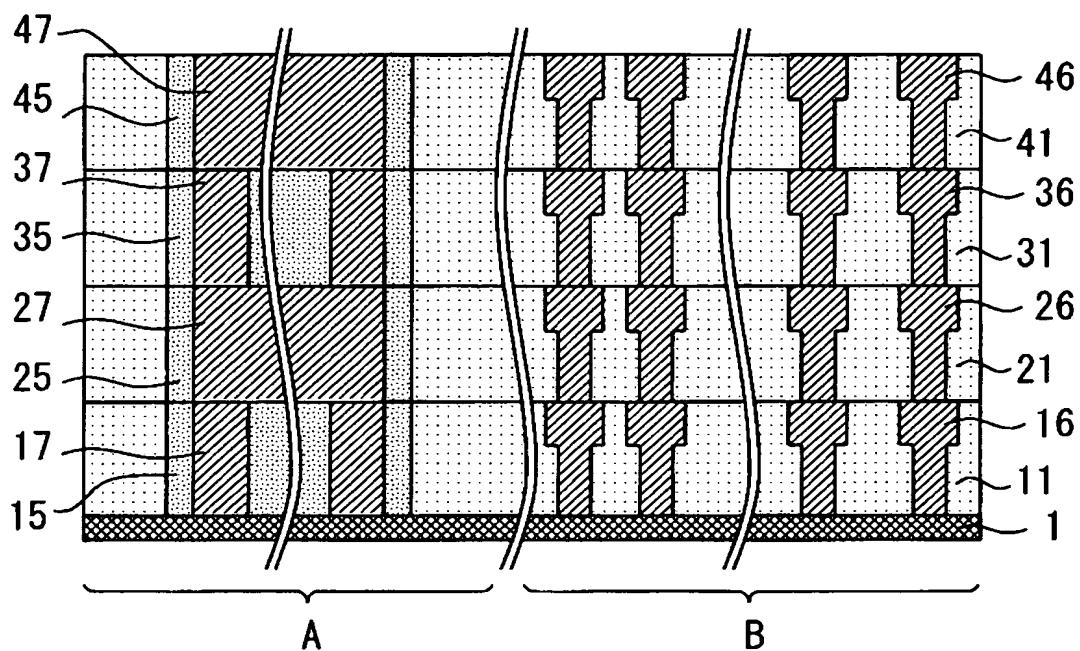
【符号の説明】

- 1 基板
- 11, 21, 31, 41 低誘電率膜
- 12 第2の絶縁膜（ハードマスク膜）
- 12a ハードマスク
- 13 レジストパターン
- 14 開口
- 15 第1の絶縁膜（シリコン酸化膜）
- 16, 26, 36, 46 配線（Cuダマシン配線）
- 17, 27, 37, 47 配線（パッド・ビア）

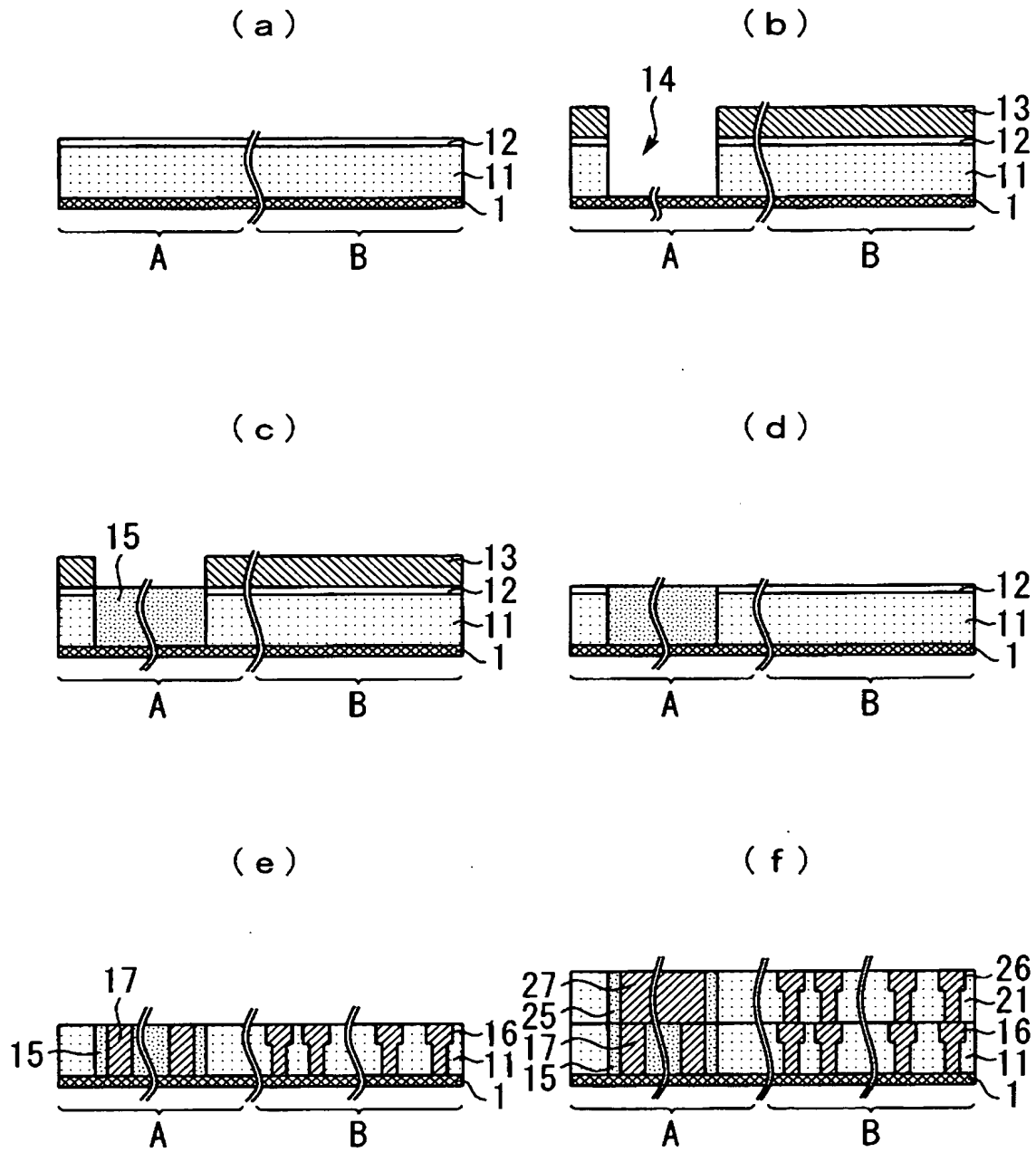
【書類名】

図面

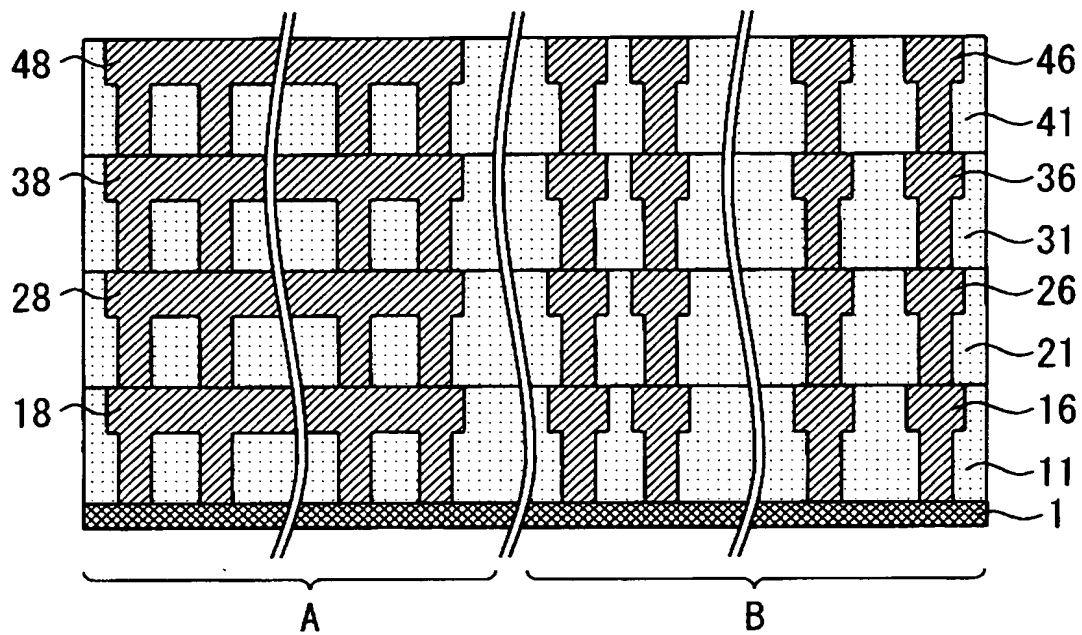
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 パッケージング時に発生する衝撃に対して高い耐性を有する半導体装置及びその製造方法を提供する。

【解決手段】 パッド部A及び回路部Bの基板1全面に低誘電率膜11を形成する。低誘電率膜11上にレジストパターン13を形成し、このレジストパターン13をマスクとしてパッド部Aの低誘電率膜11内に開口14を形成する。この開口14内に、低誘電率膜11よりも高い強度を有するシリコン酸化膜15を液相成膜法を用いて形成する。ダマシン法を用いて、シリコン酸化膜15内にパッド・ビア17を形成するとともに、回路部Bの低誘電率膜11内にCuダマシン配線16を形成する。

【選択図】 図2

特願 2 0 0 3 - 0 8 7 8 0 5

出 願 人 履 歴 情 報

識別番号

[5 9 7 1 1 4 9 2 6]

1. 変更年月日 1 9 9 7 年 8 月 1 2 日
 [変更理由] 新規登録
 住 所 神奈川県横浜市戸塚区吉田町 2 9 2 番地
 氏 名 株式会社半導体先端テクノロジーズ

2. 変更年月日 2 0 0 2 年 4 月 1 0 日
 [変更理由] 住所変更
 住 所 茨城県つくば市小野川 1 6 番地 1
 氏 名 株式会社半導体先端テクノロジーズ